АННОТАЦІЇ

Бакалаврський проєкт включає пояснювальну записку, яка містить: 53 сторінок, 22 рисунки, 7 таблиць, 11 джерел.

Об’єкт розробки – велика інтегральна схема пристрою знаходження та виправлення кратних помилок (ВІС ПЗВП).

Ціль розробки – підвищення надійності запам’ятовуючих пристроїв за рахунок використання корегуючого коду.

В дипломному проєкті було досліджені лінійні та циклічні коди, коди розроблені для корекції кратних помилок (коди Хеммінга, БЧХ, Файра, Абрамса, Ріда-Соломона). Був розроблений пристрій знаходження та виправлення кратних помилок на основі коду БЧХ з мінімальною кодовою відстанню $d = 6$, що здатний виправляти дворозрядні та знаходити трирозрядні помилки. Була створена модель розробленого пристрою на мові VHDL, для перевірки працездатності та симуляції на тестових комбінаціях.

Пристрій знаходження та виправлення помилок може бути реалізовано на базовому матричному кристалі.

Розв’язання зазначеної задачі містить:

* синтез структури та функціональних схем;
* алгоритм побудови блоку управління пристроєм;
* створення моделі розробленого пристрою.

Складено структурні та функціональні схеми, блок-схема алгоритму роботи блоку управління.

Ключові слова:

ЛІНІЙНІ КОДИ, ЦИКЛІЧНІ КОДИ, КОРЕГУЮЧІ КОДИ, БЧХ КОДИ, Н-МАТРИЦЯ, ВИЯВЛЕННЯ КРАТНИХ ПОМИЛОК, VHDL, ОЗУ, ЗП, КОДОВА ВІДСТАНЬ.

ANNOTATIONS

The bachelor's project includes an explanatory note, which contains: 53 pages, 22 pictures, 7 tables, 11 sources.

The object of development is a large integrated circuit of the device for finding and correcting multiple errors (LIC DFCE).

The goal of development is to increase the reliability of storage devices through the use of corrective code.

In the diploma project, linear and cyclic codes were investigated, codes are developed for the correction of multiple errors (codes of Hamming, BCH, Fire, Abrams, Reed-Solomon). A device for finding and correcting multiple errors based on the BCH code with a minimum code distance $d = 6$ was developed, which can correct two-bit and find three-bit errors. A model of the developed device was created in the VHDL language, for testing performance and simulation on test combinations.

The device for finding and correcting errors could be implemented on a basic matrix crystal.

The solution to this problem contains:

* synthesis of structure and functional schemes;
* algorithm for constructing a device control unit;
* creating a model of the developed device.

Structural and functional schemes, the block diagram of the algorithm of work of the control unit was created.

Keywords:

LINEAR CODES, CYCLIC CODES, CORRECTION CODES, BCH CODES, H-MATRIX, MULTIPLE ERROR DETECTION, VHDL, RAM, ROM, CODE DISTANCE.